

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年10月27日 (27.10.2005)

PCT

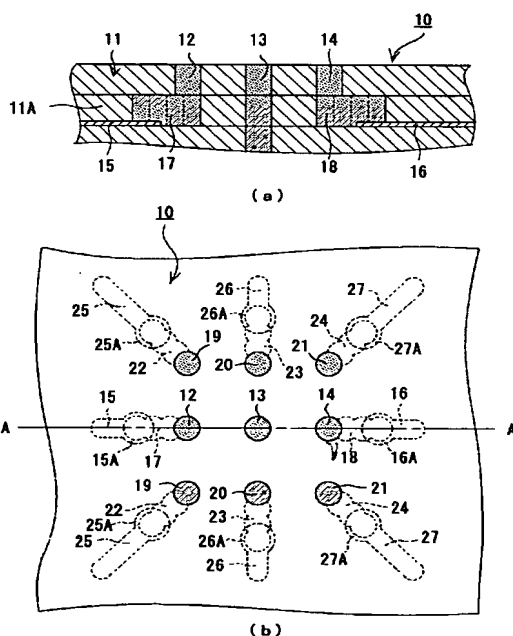
(10) 国際公開番号
WO 2005/101935 A1

- (51) 国際特許分類⁷: H05K 3/46, H01L 23/12 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/001815 (75) 発明者/出願人 (米国についてのみ): 山元 一生 (YAMAMOTO, Issey) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号株式会社村田製作所内 Kyoto (JP). 海瀬 直樹 (KAISE, Naoki) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号株式会社村田製作所内 Kyoto (JP). 森木田 豊 (MORIKITA, Yutaka) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号株式会社村田製作所内 Kyoto (JP).
(22) 国際出願日: 2005年2月8日 (08.02.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2004-111976 2004年4月6日 (06.04.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP). (74) 代理人: 小原 肇 (OHARA, Hajime); 〒2220033 神奈川県横浜市港北区新横浜2丁目14番地14 新弘ビル5階 Kanagawa (JP).

[続葉有]

(54) Title: CONNECTION STRUCTURE OF INNER CONDUCTOR AND MULTILAYER SUBSTRATE

(54) 発明の名称: 内部導体の接続構造及び多層基板



(57) Abstract: In case of prior art described in patent documents 2 and 3, positional shift between a via conductor and a line conductor or failure of connection due to processing error can be prevented by a connection land when a ceramic substrate is made because the line conductor or the via conductor is provided with the connection land. However, as the connection land (3) stretches from the via conductor (2) to the adjacent via conductor (2) side, as shown on Fig. 8(a), fine pitch between via conductors (2, 2) is prevented by a quantity of the stretch. In the inventive connection structure (10) of inner conductors for connecting first and second via conductors (12, 13) arranged contiguously to each other in a ceramic multilayer substrate (11) with a first line conductor (15) formed in the ceramic multilayer substrate (11), the first via conductor (12) includes a first continuous via conductor (17) extended in the direction receding from the second via conductor (13) and the first via conductor (12) is connected with the first line conductor (15) through the first continuous via conductor (17).

(57) 要約: 特許文献2、3に記載の従来の技術の場合には、ライン導体またはビア導体が接続ランドを有するため、セラミック基板を製造する際に接続ランドによってビア導体とライン導体との間の位置ズレやそれぞれの加工誤差等による接続不良を防止することができるが、例えば図8の(a)に示すように接続ランド3がビア導体2から隣接するビア導体2側に張り出しているため、その張り出した分だけビア導体2、2間の狭ピッチ化を妨げる。本発明の内部導体の接続構造10は、セラミック多層基板11内で互いに隣接して配置された第1、第2ビア導体12、13と、セラミック多層基板11内に形成された第1ライン導体15とを接続する接続構造において、第1ビア導体12は、第2ビア導体13から遠ざかる方向に延設された第1連続ビア導体17を含み、且つ、第1ビア導体12は、第1

ア導体12、13と、セラミック多層基板11内に形成された第1ライン導体15とを接続する接続構造において、第1ビア導体12は、第2ビア導体13から遠ざかる方向に延設された第1連続ビア導体17を含み、且つ、第1ビア導体12は、第1

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。